

257-532

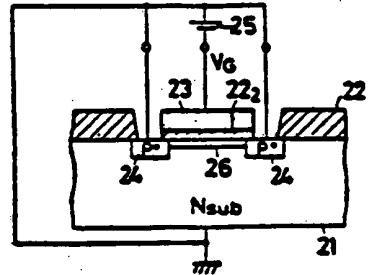
AU 2503 43111

JP 35c153778 A
NOV 1981

(54) MOS TYPE CAPACITOR
(11) 56-153778 (A) (43) 27.11.1981 (19) JP
(21) Appl. No. 55-57517 (22) 30.4.1980
(71) TOKYO SHIBAURA DENKI K.K. (72) HIROFUMI YASHIRO
(51) Int. Cl. H01L29/94

PURPOSE: To form capacity which does not depend upon voltage without increasing processes by forming a capacitor between an electrode on an oxide film being formed on a substrate and a channel region being formed by the application of voltage to the electrode.

CONSTITUTION: A thin oxide film 22, is formed on an N type Si substrate 21 together with a gate oxide film, an electrode 23 is built on the film 22, and P⁺ layers 24, 24 are formed on the substrate 21 by means of diffusion. The layers 24, 24 are connected in common, and grounding voltage is applied. When negative voltage V_G is applied to the electrode 23, a P channel section 26 is made up on the surface of an N layer just under the electrode 23, is connected to the layers 24 and functions as one electrode. The capacity of a depletion layer is not generated according to this phenomenon, and only parallel plate capacity held between the electrode 23 and the channel section 26, electrode capacity which does not depend upon the variation of voltage, is obtained as MOS capacity. Since the capacitor is the same as an MOSFET in shape, it can be formed at the same time as the MOSFET, and the number of manufacturing processes needs not be increased.



257-532

SLInt. Cl. 3
A 01 L 29 94

19 日本国特許庁 (JP)
12 公開特許公報 (A)

公特許公報
昭56-153778

識別記号

厅内整理番号
7357-5F

公開 昭和56年(1981)11月27日

発明の数 1
審査請求 未請求

(全 4 頁)

8MOS型コンデンサ

公特 願 昭55-57517
②出願 昭55(1980)4月30日
②発明者 矢代廣文
川崎市幸区小向東芝町1番地東

京芝浦電気株式会社トランジス
ト工場内
出願人 東京芝浦電気株式会社
川崎市幸区堀川町72番地
②代理人 弁理士 鈴江武雄 外2名

明細書

発明の名称

MOS型コンデンサ

特許請求の範囲

第1項電極半導体基板と、該基板上に絶縁膜を介して設けられた電極と、該電極の直下に形成されるチャネル領域の少くとも2箇所に設けられた第2導電層領域と、前記チャネル領域周囲の各箇所導電層領域に同一電位を印加する手段とを具備し、前記電極と該電極への電圧印加で形成される前記チャネル領域との間セミコンデンサを形成することを特徴とするMOS型コンデンサ。

発明の詳細な説明

本発明は電極と半導体間にコンデンサを形成するMOS型コンデンサに関するものである。一般にMOS型構造は、ゲート絶縁膜上に設けた金属膜(または多晶島シート)を電極とし、これと半導体基板との間に電圧を印加して電荷するものである。従つてこの構造は基本的

にコンデンサであり、片方の電極は半導体(多晶島シート)になっている。この考え方を用いて、半導体MOS構造でコンデンサを成すと、第1項のようになる。この点においては半導体コンデンサ、すなはちSiO₂膜(酸化膜)は電極(内又はチャネル)、半導体基板である。

しかして第1項の如きMOS構造の全般式

$$C = \frac{dQ_0}{dV_0}$$

で表わされ、 $dQ_0 = dQ_0$ が成り立つ。ここで V_0 は電極の電圧、 Q_0 は電極表面の電荷、 C は電極の表面電容量である。また

$$V_0 = \frac{-Q_0}{C_0} + \phi_0$$

$$C_0 = \frac{E_{ox} \cdot \epsilon_0}{T_{ox}}$$

ここで C_0 は電極膜の酸化膜容量、 E_{ox} は酸膜の比誘電率、 ϵ_0 は真空中の誘電率、 T_{ox} は酸膜膜の酸化膜厚、 ϕ_0 はシートコンデンサにかかる

電圧(表面電位)である。上式より $dV_0 = dC_0$ は、

$$dV_0 = \frac{-dQ_0}{C_0} + d\phi_0$$

これより

$$C = \frac{-dQ_0}{-dQ_0/C_0 + d\phi_0} = \frac{1}{1/C_0 - d\phi_0/dQ_0}$$

電極表面のシリコン表面電位 C_0 は、

$$C_0 = \frac{dQ_0}{d\phi_0} = \frac{E_{01} - E_0}{X_0}$$

$$X_0 = \sqrt{\frac{2E_{01} \cdot E_0 \cdot 10^{-12}}{eN_D}}$$

ここで E_{01} はシリコンの比誘電率、 X_0 は空気層の厚みである。又つて MOS の表面の空気層は X_0 となる。

$$C = \frac{1}{1/C_0 + 1/X_0}$$

$$\therefore \frac{1}{C} = \frac{1}{C_0} + \frac{1}{X_0}$$

これは MOS の表面 C_0 、 X_0 の逆数である。

すなはち第3回において(1)は N 型シリコン基板、(2)はフィールド SiO_2 層(酸化膜)、(3)は内側に N 型 MOS ドラインゲートのゲート酸化膜と一緒に形成された薄い酸化膜、(4)は電極(例えはポラリゼーション)で、この順番では、シリコンゲート MOS ドラインで形成する間に一緒に形成できる。すなはち最初(1)に酸化膜で形成された P^+ 层、(2)は酸化電位である。

この順序でなる MOS ドラインアンプは、形状的には通常の MOS ドラインゲートと同様であるが、これと異なるのは電気的の問題である。即ちドラインとゲート間に酸化電位を印加している。第4回はこの P^+ 层の部分を示すペーパー半導體であるが、これら P^+ 层を同じ酸化電位に保持するには、底面側に示すように例えば一端開いた層でつながった構成としてもよい。又つて電極(4)に負電圧 V_0 を印加すると、電極(4)の底面の N 型表面に反応層つまり P チャンネル層が形成され、これは P^+ 层(1)とつながつて一方の

8

とを示している。

HM-256-1537791

ここで問題となるのが空乏層が発生する。これは前式より明らかのように、電極間に印加された電圧に依存して変化する。ところで電位を印加する場合、電圧依存性のあるもの非常に設計しにくい。この問題があるので、電圧依存性の MOS を作る場合、底面第2回に示すようにイオン・インプランテーション工程を追加して、底面空乏層の形成をしていた。第2回において(1)は前記イオン・インプランテーションで形成された N 基板で、これは N 型基板より高電圧である。しかし第2回の方法は、マスクを用いてイオン注入をしなから工場等となり、コスト面で非常に不切である。

そこで本発明の目的とするところは、前記のように工場で構成することなく、底面空乏層を形成できることである MOS のコレクターアクセスを実現しようとするものである。

以下図面を用いて本発明の一実施例を説明

4

図4となる。この構造により、前記実施例で説明した如き第2回を省略して生じなくなり。 N 型基板は電極(1)と N チャンネル層(2)で形成された半導体表面。つまり電極間に印加しない電位 C_0 (底面電位)のみが用いられるものである。また第3回の MOS ドラインアンプは、 N チャンネル層(2)に底面の如きイオン注入を行なう必要がないし、形状的には MOS ドラインゲートと同じであるからこれと同時に形成でき、又つてコレクターアクセス用るために工場等を構成する必要は何もないものである。

第3回は本発明の他の実施例で、 N 型基板(1)の P -well 集積(3)上に N チャンネル層(2)を形成する場合の例である。この場合は P -well 集積(3)上にコレクターアクセスを形成するため、半導体表面の導電層が底面になり、電極(1)に正電圧を印加して N チャンネル層(2)を形成する。また N チャンネル層(2)に負電圧を、 P -well 集積(3)に P^+ 层(4)を介して負電圧をそれぞれ印加する。その結果及び作用効果は前記実施例と対応して考

となるのが空乏層容量 C_0 である。り明らかなように、電極間に印加放電して電化する。ところで MOS ある場合、電圧依存性のあるものはにくい。この問題があるため、非 MOS と MOS を併用する場合、反対するようイオン・インサランナーを追加して、前記空乏層の影響を防ぐ。図において 11 は前記イオン・インサランナーで構成された N 電極で、後より高遮断である。しかし前、マスクを用いてイオン注入を行なうと、コスト面で非常に不有利である。

別の目的とするところは、前記の増加することなく、非電圧依存性をもつてできる MOS 固体コンデンサとするものである。

参照して本発明の一実施例を説明

この検査により、前記従来例で記述した C_0 は無になくなり、MOS 3 とチャネル部 2 で構成された平つたり電圧依存性を有しない電極（空乏）のみが得られるものである。MOS 固体コンデンサは、チャネル 2 の動きイオン注入を行なうと形状的には MOSトランジスタとし、これと同時に構成でき、従つてを得るために工数を増加するものである。

発明の他の実施例で、N 電極 1 は鏡 3 に上に N チャネルを形成している。この場合は P-well 鏡 3 、アンダーパンデルを形成するため、半導体側に逆になり、電極 2 に正電圧をチャネル部 2 に負電圧を、P-well 鏡 3 に P' 電極に負電圧をそれぞれ印加する。その作用効果は前記実例と対応して考

えることができるので、対応箇所には同一符号を用いかつこれにダッシュを付して説明を省略する。

以上説明した如く本発明によれば、空乏層による影響を防止できるから非電圧依存性の MOS 固体コンデンサが得られ、工数の増加がないからコスト面でも有利化された MOS 固体コンデンサが提供できる。

図面の簡単な説明

第 1 図、第 2 図は従来の MOS 固体コンデンサの構成図、第 3 図は本発明の一実施例の構成図、第 4 図 (a)、(b) は同構成の一実験結果、第 5 図は本発明の他の実施例の構成図である。

11 … N 電極板、22 … 電極膜、23 … 電極、24 … P' 层、25 … 電極電極。

図 1

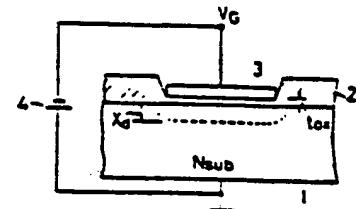
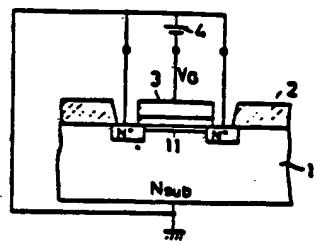
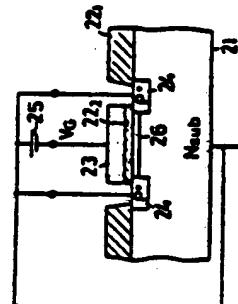


図 2



出願人代筆人 分野士 錦江次郎

図 3



(a)

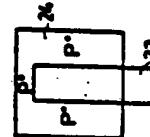
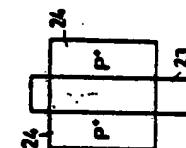


図 4



(b)

第5圖

